

[19]中华人民共和国专利局

[51]Int.Cl⁶

H01L 27/02



[12] 发明专利申请公开说明书

[21] 申请号 97103797.3

[43]公开日 1997年10月29日

[11] 公开号 CN 1163483A

[22]申请日 97.4.18

[30]优先权

[32]96.4.19 [33]JP[31]098272/96

[71]申请人 松下电器产业株式会社

地址 日本大阪

[72]发明人 西道佳人 小椋里 尾崎伸治
得能诚司 三好明 山本裕明
春日义昭

[74]专利代理机构 永新专利商标代理有限公司

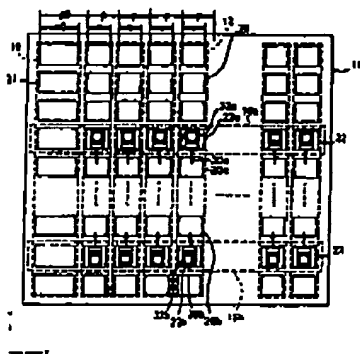
代理人 蔡 炜

权利要求书 3 页 说明书 15 页 附图页数 10 页

[54]发明名称 半导体集成电路及采用该电路的系统

[57]摘要

一种半导体集成电路含有一个至少能实现该半导体集成电路一部分功能的功能模块。该功能模块含有多个基本单元和多个端块单元。多个端块单元中的每个单元都有一个连接器，用来传递另一个半导体集成电路和多个基本单元中的一个单元之间的通信。



(BJ)第 1456 号

权 利 要 求 书

1、一种半导体集成电路，它包括一个至少能实现该半导体集成电路的一部分功能的功能模块，其中：

该功能模块含有多个基本单元和多个端块单元；以及

多个端块单元中的每一个单元都有一个连接器，用来传递另一个半导体集成电路与多个基本模块中的一个模块之间的通信。

2、根据权利要求1的半导体集成电路，其中多个端块单元中的每一个单元都至少邻接于多个基本单元中的一个单元。

3、根据权利要求1的半导体集成电路，其中的通信是通过利用该半导体集成电路的一个内部信号来建立的。

4、根据权利要求3的半导体集成电路，其中另一个半导体集成电路具有能处理实时调试所需信息的功能。

5、根据权利要求1的半导体集成电路，其中的通信是通过利用该半导体集成电路的一个外部信号来建立的。

6、根据权利要求1的半导体集成电路，其中多个基本单元中的至少两个单元是沿着一个第一预定方向排列的。

7、根据权利要求6的半导体集成电路，其中多个端块单元中的至少两个单元是沿着一个第二预定方向排列的。

8、根据权利要求7的半导体集成电路，其中各个端块单元的排列间距等于各个基本单元的排列间距。

9、根据权利要求8的半导体集成电路，其中各个端块单元的宽度等于各个基本单元的宽度。

10、根据权利要求7的半导体集成电路，其中各个端块单元的排列间距大

于各个基本单元的排列间距。

1 1、根据权利要求1 0 的半导体集成电路，其中：

功能模块含有一个用来准备制作一个控制电路的区域；以及

在该区域的至少一部分中设置了多个端块单元中的至少一个单元。

1 2、根据权利要求1 0 的半导体集成电路，其中多个端块单元中的各个单元按“之”字形排列。

1 3、根据权利要求1 的半导体集成电路，其中多个端块单元中的每一个单元都是输入端块单元，输出端块单元和输入输出端块单元中的任一种单元。

1 4、一种系统，它包括：一个第一半导体集成电路、一个第二半导体集成电路、以及一个用来连接第一半导体集成电路和第二半导体集成电路的连接媒体，其中：

第一半导体集成电路含有一个至少能实现该第一半导体集成电路一部分功能的功能模块；

该功能模块含有多个基本单元和多个端块单元；

多个端块单元中的每个单元都有一个连接器，用来传递第二半导体集成电路与多个基本单元中的一个单元之间的通信；以及

第二半导体集成电路具有能处理实时调试所需信息的功能。

1 5、根据权利要求1 4 的系统，其中连接媒体是一个凸块。

1 6、根据权利要求1 4 的系统，其中：

第一半导体集成电路是从多个半导体集成电路中选出的一个电路；以及

第二半导体集成电路具有能处理实时调试多个半导体集成电路中任一个电路所需信息的功能。

17、根据权利要求16的系统，其中提供了第二半导体集成电路的一个连接层，它适配于从多个半导体集成电路中选出的一个电路的连接层。

18、根据权利要求16的系统，其中提供了第二半导体集成电路的一个连接层，它能接纳所有的多个半导体集成电路。

说 明 书

半导体集成电路及采用该电路的系统

本发明涉及一种半导体集成电路和一种采用该电路的系统，前者含有一个具有多个基本单元和多个端块单元的功能模块。

通常，为了帮助调试一个采用微处理器的内设控制系统的软件，开发了一种用于评估的半导体集成电路（以下简称为“评估芯片”），它提取并从外部监视调试所需的芯片内部信息。一个实时的仿真系统利用由该评估芯片所获取的内部信息来实现程序分割功能、实时跟踪功能、实时仿真功能、以及性能评估范围功能等等。

图10A是示出一个普通评估芯片102a的平面图。除了为进行该评估芯片102a的正常工作而需的信号端块61之外，该芯片还含有信号端块60a、60b和60c。这些信号端块环绕着评估芯片102a的周边环状排列。

信号端块60a、60b和60c用来对评估芯片102a中的内部信号进行外部的监视。例如，信号端块60a通过引线66a与一个CPU（中央处理单元）和一个数据RAM（随机存取存储器）相连接，以监视评估芯片102a的内部数据。信号端块60b通过引线66b与CPU和一个指令ROM（只读存储器）相连接，以监视芯片102a的内部指令。信号端块60c通过引线66c与一个调试控制部分相连接，以监视调试控制信息。

例如，在“Nikkei Electronics”（Nikkei 电子）“1995年3月13日的第21至22页中描述了一种与评估芯片102a相同类型的评估芯片。

图10B是示出另一种普通评估芯片102b的平面图。该评估芯片102b包括了一些调试功能，例如程序分割功能，实时跟踪功能和性能评估范围功能。评估芯片102b允许只在其内部使用的高速信号，所以这些调试功能可以以高频实现。

例如，在“Nikkei Electronics”1994年12月5日的第99至109页中描述了一种与评估芯片102b相同类型的评估芯片。

在图10A所示的评估芯片102a中, 引线66a、66b和66c需要从评估芯片102a内的各功能模块引至设置在评估芯片102a周边的信号端块60a、60b和60c。由于为了实现时跟踪功能和实时仿真功能, 内部信号有特定的比特宽度需要监视, 所以引线66a、66b和66c必须具有特定的比特宽度(例如32比特)。

用来连接各功能模块和信号端块60a、60b和60c的引线66a、66b和66c需要占用相当大的面积来在各功能模块之间的各个通道上布线。而且, 信号端脚60a、60b和60c是在评估芯片102a的周边上额外布设的。从而, 评估芯片102a的尺寸增大了, 造成产品产额下降。

因此, 这种普通的评估芯片是不适合于批量生产的。这样, 通常对每一种微控制器芯片, 一般要开发一对芯片, 即一个评估芯片和一个批量生产芯片。然而, 这样的开发所伴随的问题是有大量的开发步骤。

再有, 由于评估芯片102a的引线66a、66b和66c需要引到芯片102a的周边, 因此它们的长度将不可避免地和不希望地变长。由于引线的长度愈长, 所造成的信号传输延迟就愈长, 从而阻碍了工作频率的提高。因为即使让各条引线按同样的路径布线, 但因各输入端和输出端位于不同的位置, 较长的引线长度还会造成各比特之间信号延迟的较大的差异。这在实现高速实时仿真系统时是有害的。

此外, 为了实现实时仿真系统, 评估芯片102a的内部信号将通过从信号端块60a、60b和60c延伸到外部装置的电缆来传送。电缆的额外延迟时间将进一步增加传输延迟。传输延迟的增加使得采用与微控制器芯片相同工作频率的调试工作变得困难。传输延迟的增加还将妨碍内设式控制应用程序的调试, 因为它大多数在时间上处于临界处理状态, 例如对中断作出响应的处理。

对于图10B所示的评估芯片102b的情形, 与评估芯片102a相比, 在关于工作频率的问题上比较不那么严重。然而, 每当微控制器芯片的版本有一个新的更改时, 或者每当在开发微控制器芯片时一个内设周边芯片的布局有新的改变时, 仍然必须要开发一个新的评估芯片。这将增加开发步骤的数目。所以评估芯片102b与评估芯片102a有同样的问题。

根据本发明的一个方面, 一种半导体集成电路含有一个至少能够实现该半导

体集成电路的一部分功能的功能模块。该功能模块包括多个基本单元和多个端块单元。多个端块单元中的每一个单元都有一个连接器，用来传递另一个半导体集成电路和多个基本单元中的一个单元之间的通信。

在本发明的一个实施例中，每一个端块单元都至少与多个基本单元中的一个单元相邻接。

在本发明的另一个实施例中，利用半导体集成电路的一个内部信号来建立通信。

在本发明的又一个实施例中，另一个半导体集成电路具有处理实时调试所需信息的功能。

在本发明的再一个实施例中，利用半导体集成电路的一个外部信号来建立通信。

在本发明的再一个实施例中，多个基本单元中至少有两个单元按第一预定方向排列。

在本发明的再一个实施例中，多个端块单元中至少有两个单元按第二预定方向排列。

在本发明的再一个实施例中，各个端块单元的排列间距等于各个基本单元的排列间距。

在本发明的再一个实施例中，各个端块单元的宽度等于各个基本单元的宽度。

在本发明的再一个实施例中，各个端块单元的排列间距大于各个基本单元的排列间距。

在本发明的再一个实施例中，功能模块包含一个用来用于形成控制电路的区域。多个端块单元至少有一个单元设置在该区域的至少一个部分内。

在本发明的再一个实施例中，多个端块单元中的各个单元按“之”字形排列。

在本发明的再一个实施例中，多个端块单元中的每一个单元都是输入端块单

元、输出端块单元和输入输出端块单元中的一种。

根据本发明的另一个方面，一个系统包括一个第一半导体集成电路，一个第二半导体集成电路，以及一个用来连接第一半导体集成电路和第二半导体集成电路的连接媒体。第一半导体集成电路包含一个至少能实现第一半导体集成电路一部分功能的功能模块。该功能模块包括多个基本单元和多个端块单元。多个端块单元中的每一个单元都有一个用来传递第二半导体集成电路和多个基本单元中的一个单元之间的通信的连接器。第二半导体集成电路具有处理实时调试所需信息的功能。

在本发明的一个实施例中，连接媒体是一个凸块。

在本发明的另一个实施例中，第一半导体集成电路是从多个半导体集成电路中选出的一个电路。第二半导体集成电路具有处理实时调试多个半导体集成电路中的任一个电路所需信息的功能。

在本发明的又一个实施例中，第二半导体集成电路的一个连接层设置得适配于从多个半导体集成电路中选出的一个电路的连接层。

在本发明的再一个实施例中，第二半导体集成电路的一个连接层设置得能够接纳所有的多个半导体集成电路。

这样，这里所说明的本发明使实现下述优点成为可能：（1）提供一种半导体集成电路和一种采用该半导体集成电路的系统，前者具有最小的与尺寸和面积的增加以及芯片引线延迟的增加相关的影响；以及（2）提供一种评估芯片，它能够以减少的开发步骤数目来进行批量生产。

在阅读和理解了下面参照附图所作的详细说明之后，上述优点和其它优点对于熟悉本技术的人们将变得清楚明白。

图1 是示出根据本发明的第一个例子的微控制器芯片布局的平面图；

图2 是示出根据本发明的第一个例子的微控制芯片中的一个功能模块内的基本单元和端块单元的布局的平面图；

图3 是示出根据本发明的第一个例子的微控制器芯片中的一个功能模块内的

基本单元和端块单元的另一种布局的平面图;

图4 是示出根据本发明的第一个例子的微控制器芯片中的一个功能模块内的基本单元和端块单元的另一种布局的平面图;

图5 是示出根据本发明的第二个例子的一个功能模块内的基本单元和端块单元的布局的平面图;

图6 A 至6 C 是示出互相结合在一起的一个微控制器芯片和一个仿真芯片的横截面图;

图7 是示出互相结合在一起的一些微控制器芯片和一些仿真芯片的原理图;

图8 A 至8 C 分别是示出一个端块单元的布局的原理图;

图9 是示出以“之”字形排列的端块单元的简化平面图; 以及

图10 A 和10 B 分别是示出普通评估芯片102a 和102b 的平面图。

下面将借助于说明性例子参照附图来说明本发明。

例1

图1 是示出根据本发明的第一个例子的微控制器芯片100 的布局的平面图。该微控制器芯片100 含有多个功能模块。每一个功能模块都至少能实现微控制器芯片100 的一部分功能。例如, 功能模块10a 对应于CPU 数据路径部分。功能模块10a 含有多个端块单元22, 这将在后面讨论。

CPU 数据路径部分例如包括: 一个与指令提取有关的功能, 它含有一个用来指明地址或正在执行的程序的程序计数器; 一个与算法操作有关的功能, 它用来执行各数据之间的算法操作或者对一个利用公共电阻或ALU 所提取到的操作对象进行计算; 以及一个与安装/ 存储有关的功能, 它用来与一个外部设置的存储器交换数据。因为这些功能要处理具有特定比特宽度(这里为32 比特)的指令或数据, 所以, 最有效的做法是按照在逻辑上和物理上都规则的方式来安排每一个比特行。

图2 是示出功能模块1 0 a 的布局的平面图。功能模块1 0 a 含有多个数据列1 2。在图2 中, 每个数据列1 2 都沿着标有Y 的箭头所示的方向(以下简称Y 方向) 延展, 并且沿着图2 中标有X 的箭头所示的方向(下面简称为X 方向) 以间距p 有规则地排列。

多个数据列1 2 中的每一列都对应着一个3 2 比特宽的信号中的一个比特。例如在图2 中, 左端的数据列1 2 对应着信号比特0, 右端的数据列1 2 对应着信号比特3 1。

多个数据列1 2 中的每一列都含有多个基本单元2 0 和至少一个端块单元2 2。各个基本单元2 0 和端块单元2 2 的宽度都是w。这里, 宽度w 是指沿X 方向的长度。

端块单元2 2 用来传递基本单元2 0 和一个不同于微控制器芯片1 0 0 的另一个芯片(例如仿真芯片) 之间的通信。端块单元2 2 被分类成: 用于把信号输入给微控制器芯片1 0 0 的端块单元(输入端块单元); 用来从微控制器芯片1 0 0 输出信号的端块单元(输出端块单元); 以及用来向/ 从微控制器芯片1 0 0 输入/ 输出信号的端块单元(输入输出端块单元)。以下, 输出端块单元、输入端块单元、和输入输出端块单元将分别称为端块单元2 2 a、端块单元2 2 b 和端块单元2 2 c。

图8 A 至8 D 分别是示出端块单元2 2 a、2 2 b 和2 2 c 的布局的原理图。

图8 A 示出用来输入和输出信号的端块单元2 2 c 的布局。端块单元2 2 c 含有一个用来把端块单元2 2 c 连接到一个外部芯片上去的连接器3 2 c、一个保护电路3 4、以及有源元件8 6 b 和8 8 b。有源元件8 6 b 是用来驱动一个负载的驱动电路。有源元件8 8 b 是用来放大输入信号的输入缓冲电路。

图8 B 示出用来输入信号的端块单元2 2 b 的布局。端块单元2 2 b 含有: 一个用来把端块单元2 2 b 连接到一个外部芯片上去的连接器3 2 b、一个保护电路3 4、以及一个有源元件8 8 a。有源元件8 8 a 是用来放大输入信号的输入缓冲电路。

图8 C 示出用来输出信号的端块单元2 2 a 的布局。端块单元2 2 a 含有一个用来把端块单元2 2 a 连接到一个外部芯片上去的连接器3 2 a、一个保护电路3 4、以及一个有源元件8 6 a。有源元件8 6 a 是用来驱动负载的驱动电路。

图8 D 示出用来输入和输出信号的端块单元2 2 c 的另一种布局。端块单元2 2 c 含有一个用来把端块单元2 2 c 连接到一个外部芯片上去的连接器3 2 c 和一个保护电路3 4。

保护电路3 4 的实现方法例如是, 利用一个反向连接的二极管、一个断路晶体管、一个线绕电阻或一个扩散电阻把一个电阻之类的元件以串连或并连的方式连接到信号端上。或者, 可以采用扩散电容和用来驱动负载的驱动电路8 6 a 和8 6 b 中的输出晶体管的漏极处所形成的寄生二极管来代替作为独立电路的保护电路3 4。而且, 对于已断定不需要保护的情形, 则可以删去保护电路3 4。

基本单元2 0 是对应于1 个比特的基本处理单元。基本单元2 0 可以是一个基本的逻辑单元, 例如一个“与 (AND)”元件或者一个“或 (OR)”元件。或者, 基本单元2 0 也可以是通过结合多个基本逻辑元件而得到的一个逻辑电路。这种逻辑电路的例子有双稳电路, 分路器和全加器。

某些基本单元2 0 连接在端块单元2 2 a、2 2 b 和2 2 c 上。下面, 连接在端块单元2 2 a、2 2 b 和2 2 c 上的基本单元将分别称作基本单元2 0 a、2 0 b 和2 0 c。

如图2 所示, 基本单元2 0 a 通过引线3 0 a 连接在端块单元2 2 a 上。基本单元2 0 b 通过引线3 0 b 连接在端块单元2 2 b 上。引线3 0 a 和3 0 b 分别在基本单元2 0 a 和2 0 b 的上方延伸。

基本单元2 0 a 和连接在其上的端块单元2 2 a 设置在同一个数据列1 2 中, 使它们可互相邻接。基本单元2 0 b 和连接在其上的端块单元2 2 b 设置在同一个数据列2 2 中, 使它们可互相邻接。在本说明书中, 所谓“基本单元2 0 和端块单元2 2 互相邻接”被定义为这样的情况: 除了指基本单元2 0 和端块单元2 2 的布局是互相相邻的之外, 还指基本单元2 0 和端块单元2 2 互相直接连接。

下面将说明基本单元2 0 a 和一个具体例子。这里假定基本单元2 0 a 是一个程序计数器的电阻单元。从该电阻单元输出的信号被提供给数据路径中的每个部分 (未示出) 并通过引线3 0 a 提供给端块单元2 2 a。于是, 能够从微控制器芯片1 0 0 的外部来监视程序计数器中电阻单元的内容。

程序计数器电阻单元的内容表明了当前执行的程序的地址。一般, 这样的地

址是仅仅在微控制器芯片100内使用的信息。因此，为了获得这个信息，必须借助于软件利用特定的指令来访问程序计数器。具体地说，除了例如停止执行目标程序之外，不能够获得这个信息。然而，如果能够实时地获得该信息，则就能够不中断微控制器芯片100当前正在执行的目标程序，实现实时跟踪功能。

下面将说明基本单元20b的一个具体例子。这里基本单元20b例如是一个含有分路器的指令电阻单元。分路器的一个输入连接在数据路径中的另一个单元（图2中未示出）上，另一输入通过引线30b连接到端块单元22b上。于是，可以从外部向微控制器芯片100输入一个指令。而且，一个不同于微控制器芯片100的指令存储器中的指令的指令能够以相同于微控制器芯片100的指令存储器中的指令的时序给出。于是便能够实现实时仿真。

端块单元22a和22b的连接器32a和32b分别用来传递外部芯片与基本单元20a之间的以及与基本单元20b之间的通信。连接器32a和32b制作在组成端块单元22a和22b的多个引线层中的最高引线层上。

另一方面，图2数据列12中Y方向上的用来连接各基本单元20（20a，20b）的引线可以制作在除了最高引线层之外的其他引线层上。于是，端块单元22a和22b的连接器32a和32b可以制作得不干扰数据路径中各数据列内的引线。

此外，端块单元22a和22b可以通过延长端块单元22a和22b以及基本单元20a和20b上方的引线而分别连接到基本单元20a和20b上。从而，将端块单元连接到基本单元不需要专门的引线区域。其结果是，端块单元22a和22b能够布置在一个具有最小尺寸的面积内。

如图6A所示，为了通过端块单元22a和22b的连接器32a和32b来监视微控制器芯片100中的内部信号，以及/或者为了通过端块单元22a和22b的连接器32a和32b来向微控制器芯片100提供了一个外部信号，可以通过把微控制器芯片100和一个仿真芯片82互相结合在一起而形成一个仿真模块89。微控制器芯片100和仿真芯片82例如可以采用微凸块结合技术来结合。

仿真芯片82可以这样获得：把一个能实现实时跟踪功能的电路和一个能实现实时仿真功能的电路集成在一块芯片上。仿真芯片82具有处理实时调试所需信息的功能。

再有, 如图6 A 所示, 实时仿真系统可以这样来实现: 将仿真模块8 9 和一个用于仿真等目的的存储器片8 3 安装在一个引线基底8 7 上, 并用引线8 5 或者基底上或基底内的引线把它们互相连接起来。

图6 B 是图6 A 所示仿真模块8 9 中圈出的那部分的放大图。微控制器芯片1 0 0 和仿真芯片8 2 是这样结合的: 在微控制器芯片1 0 0 的连接器3 2 a 和3 2 b 上形成金属凸块8 0 , 然后把连接器3 2 a 和3 2 b 通过凸块8 0 连接到仿真芯片8 2 的连接器8 4 上。不过, 连接微控制器芯片1 0 0 和仿真芯片8 2 的方法并不局限于凸块。只要能使微控制器芯片1 0 0 和仿真芯片8 2 发生电连接, 便可以采用任何的方法。例如可以使用细导线。

图6 C 是微控制器芯片1 0 0 和仿真芯片8 2 之间的连接部分中圈出部分的放大图。

仿真芯片8 2 含有一些元件层和引线层, 构成能实现实时跟踪功能的电路和能够实现实时仿真功能的电路。仿真芯片8 2 的连接器8 4 制作在仿真芯片8 2 的各元件层和引线层上面的最高引线层(连接层)上。

图7 是示出通过把微控制器芯片1 0 0 a 、1 0 0 b 和1 0 0 c 分别与仿真芯片8 2 a 、8 2 b 和8 2 c 相结合而形成仿真模块8 9 a 、8 9 b 和8 9 c 的方式。

微控制器芯片1 0 0 a 、1 0 0 b 和1 0 0 c 中各自的连接器3 2 a 和3 2 b 的位置是互不相同的。

仿真芯片8 2 具有处理在微控制器芯片1 0 0 a 、1 0 0 b 和1 0 0 c 的任一一个芯片中进行实时调试所需信息的功能。

仿真芯片8 2 a 、8 2 b 和8 2 c 各自的除了最高引线层(连接层)之外的其他层都与仿真芯片8 2 的相同。

仿真芯片8 2 a 、8 2 b 和8 2 c 各自的最高引线层(连接层)制作得分别匹配于微控制器芯片1 0 0 a 、1 0 0 b 和1 0 0 c 的连接器3 2 a 和3 2 b 的位置。

这样, 只要简单地改变仿真芯片82的最高引线层(连接层), 便可以以减少的开发步骤数目来实现不同类型的微控制器芯片100a、100b和100c的仿真芯片82a、82b和82c。

再有, 对于微控制器芯片100a、100b和100c的连接器32a和32b的位置相同的情形, 同一种仿真芯片就能够用来形成各种类型的微控制器芯片100a、100b和100c。于是, 开发一个仿真芯片的步骤数目就可以达到最少。

对于本发明被应用于不同于上述CPU数据路径部分的、具有不规则排列的电路部分的情形, 如图1所示, 端块单元23可以集中地排列在各功能模块之间的适当的位置上。这种信号中的大多数都可能是与控制有关的信号, 它们在数目上是相当小的。所以, 即使像图1所示那样安排端块单元23, 对芯片面积大小的影响也是小的。或者, 端块单元23也可以安排在具有较大面积的功能模块内, 如存储器模块内。

图3是示出基本单元20和端块22单元22a和22b的另一种布局的原理图。

功能模块10a含有多个数据列12。每个数据列12都沿着Y方向延伸, 并在X方向以间距p规则地排列。

功能模块10a还含有一个控制列19。控制列19沿Y方向延伸, 并在X方向以间距p₀排列。控制列19含有多个控制电路21。每个控制电路21例如可以含有一个控制信号发生电路和/或一个信号驱动电路。各个控制电路21的宽度都为w₀。

功能模块10a还包含多个数据行14。每个数据行14都沿X方向延伸并含有多个基本单元20。基本单元20沿X方向以间距p排列。每个基本单元的宽度都为w。

功能模块10a还含有端块单元行16a和16b。每个端块单元行16a和16b都沿X方向延伸。端块单元行16a和16b分别含有多个端块单元22a和22b。端块单元22a和22b沿着X方向以间距p₁排列。每个端块单元22a和22b的宽度都为w₁。这里, 假定w₁等于1.15×w。

功能模块1 0 a 可以只含有一个端块单元行。

如图3 所示, 基本单元2 0 a 通过引线3 0 a 连接到端块单元2 2 a 上。类似地, 基本单元2 0 b 通过引线3 0 b 连接到端块单元2 2 b 上。

此外, 基本单元2 0 a 与连接在其上的端块单元2 2 a 安排得互相邻接。类似地, 基本单元2 0 b 与连接在其上的端块单元2 2 b 安排得互相邻接。

为了简化说明, 分别把间距 p 、 p_0 和 p_1 当作宽度 w 、 w_0 和 w_1 。由于电源引线或接地引线可能安排在各基本单元2 0 (2 0 a、2 0 b) 之间, 所以间距和宽度实际是有差别的。

如上所述, 在所述列举的CPU数据路径部分中, 多个数据列1 2 中的每一列都对应于3 2 比特宽度信号中的一个比特。在此情形下, 每个数据行1 4 的宽度为 $(32 \times w + w_0)$, 每个端块单元行1 6 a 和1 6 b 的宽度为 $(32 \times w_1)$ 。

当控制电路2 1 的宽度为 w_0 ($= 4.8 \times w$) 时, 数据行1 4 的宽度和端块单元行1 6 a 和1 6 b 的宽度就变得相等。这是因为, 由于假定了 w_1 等于 $1.5 \times w$, 则当 w_0 等于 $4.8 \times w$ 时就会满足等式 $32 \times w + w_0 = 32 \times w_1$ 。

在对应于控制列1 9 的区域内, 每个端块单元行1 6 a 和1 6 b 都分别含有端块单元2 2 a 和2 2 b, 而不是控制电路2 1。因为每个端块单元2 2 a 和2 2 b 都只具有一个固定的功能, 所以不需要控制。于是, 在端块单元行1 6 a 和1 6 b 中不需要提供控制电路2 1。

端块单元2 2 a 和2 2 b 的这种安排使功能模块1 0 a 的整个宽度得到充分的利用。

即使对于在端块单元2 2 a 和2 2 b 内需要控制信号的情形, 可以认为控制信号的数目要少得多。因此, 可以从功能模块1 0 a 外部直接把控制信号传送给端块单元2 2 a 和2 2 b。

图4 是示出采用基本单元2 0 和端块单元2 2 a 及2 2 b 的另一种布局的功能模块1 0 a 的平面图。

该功能模块1 0 a 含有多个数据列1 3 。每个数据列1 3 都沿Y 方向延伸,并在X 方向以间距 p 规则地排列。

功能模块1 0 a 还含有多个数据行1 5 。每个数据行都沿X 方向延伸,并含有多个基本单元2 0 。各基本单元2 0 沿着X 方向以间距 p 排列。每个基本单元2 0 的宽度都为 w 。

功能模块1 0 a 还含端块单元行1 7 a 和1 7 b 。每个端块单元行1 7 a 和1 7 b 都沿X 方向延伸。端块单元行1 7 a 和1 7 b 分别含有多个端块单元2 2 a 和2 2 b 。端块单元2 2 a 和2 2 b 沿Y 方向以间距 $p/2$ 交替地排列,使得在X 方向上以间距 $2 \times p$ 按“之”字形排列。每个端块单元2 2 a 和2 2 b 都具有宽度 w_1 。这里, w_1 等于 $1.15w$ 。

功能模块1 0 a 可以只含有一个端块单元行。

如图4 所示,基本单元2 0 a 通过引线3 0 a 连接到端块单元2 2 a 上。基本单元2 0 b 通过引线3 0 b 连接到端块单元2 2 b 上。

基本单元2 0 a 和连接在其上的端块单元2 2 a 安排得沿着Y 方向互相邻接。类似地,基本单元2 0 b 和连接在其上的端块单元2 2 b 安排得沿着Y 方向互相邻接。

为了简化说明,把间距 p 当作宽度 w 。由于电源引线或接地引线可能安排在各基本单元2 0 (2 0 a 、2 0 b) 之间,所以间距和宽度实际上是有差异的。

如上所述,在所列举的CPU 数据总线部分,多个数据列1 3 中的每一列都对应着一个3 2 比特宽信号中的一个比特。在此情形下,每个数据行1 5 的宽度为 $(3.2 \times w)$,每个端块单元行1 7 a 和1 7 b 的宽度为 $(3.1 \times w + w_1)$ 。

由于 w_1 为 $1.15 \times w$,所以,每个端块单元行1 7 a 和1 7 b 的宽度与数据行1 5 的宽度之间的差值为 $3.1 \times w + 1.15 \times w - 3.2 \times w$,即 $0.15 \times w$ 。这个差值等于每个端块单元2 2 a 和2 2 b 的宽度与每个基本单元2 0 (2 0 a 、2 0 b) 的宽度之间的差值。具体地说,每个端块单元行1 7 a 和1 7 b 的宽度要比每个数据行1 5 的宽度多 $0.15 \times w$ 。然而,相对于数据行1 5 的宽度来说,这个差值小得可以略去不计,从而不会引起问题。

由于各端块单元2 2 a 和2 2 b 以“之”字形排列, 每个端块单元行1 7 a 和1 7 b 的面积大小需要大到能够容纳较高处的和较低处的端块单元2 2 a 和2 2 b 。然而, 由于端块单元2 2 a 或2 2 b 与分别连接在它们上的基本单元2 0 a 和2 0 b 是安排在同一列中的, 所以可以在数据列1 3 内基本单元2 0 (2 0 a 、2 0 b) 的上方来布置引线。这样, 在数据行1 5 和端块单元行1 7 a 和1 7 b 之间不需要提供额外的区域。

在图4 所示的功能模块1 0 a 中, 以及在图2 和图3 所示的功能模块1 0 a 中, 连接器3 2 a 和3 2 b 具有方形形状。为了控制由于“之”字形布局而引起的端块单元2 2 a 和2 2 b 在Y 方向上的长度增加, 可以如图9 所示把方形的连接器3 2 a 和3 2 b 转动4 5 ° 。其结果是, Y 方向上的间距可以小到 $p/2/\sqrt{2}$ 。如果连接器3 2 a 和3 2 b 具有圆形形状, 也可以得到相同的效果。

根据本发明的第一个例子, 端块单元2 2 a 和2 2 b 在微控制器芯片1 0 0 的功能模块1 0 a 内是规则排列的。于是, 基本单元2 0 a 与端块单元2 2 a 之间的距离以及基本单元2 0 b 与端块单元2 2 b 之间的距离都可以尽可能地短和均匀。同时, 用于引线的面积大小也可以最小化。这样, 与微控制器芯片1 0 0 面积大小增加以及引线延迟增加相关联的影响可以最小化。

再有, 微控制器芯片1 0 0 可以共用于评估芯片和批量生产芯片。其结果是, 开发步骤的数目可以减少。

还有, 微控制器芯片1 0 0 可以适用于一个具有与评估芯片1 0 2 b 相等效的功能的仿真模块8 9 。微控制器芯片1 0 0 的电学特性和仿真模块8 9 的电学特性可以是极为相近的。

端块单元2 2 a 和2 2 b 是规则排列的, 所以基本单元2 0 a 与端块单元2 2 a 之间的距离以及基本单元2 0 b 与端块单元2 2 b 之间的距离可以尽可能地短和均匀。同时, 引线面积的大小也最小化了。这种结构也适用于这样的半导体集成电路器件, 在那里使用了由不同工艺所制造的几个半导体集成电路器件, 并把这些器件结合成了一个基底。具体地说, 多个半导体集成电路器件结合的例子有: 一个微控制器芯片和一个D R A M (动态随机存取存储器); 一个微控制器芯片和一个用于处理模拟信号的半导体集成电路; 以及一个带有内设快速存储器(即一种电可重写的只读存储器)的微控制器芯片和一个D R A M。

例2

图5 是示出一个功能模块4 0 的布局的平面图。该功能模块4 0 可以是含在微控制器芯片1 0 0 内的多个功能模块中的一个。

功能模块4 0 含有多个行4 4 。每一行都沿着X 方向延伸并互相平行地排列, 同时安排有一些用于分开各个相邻行4 4 的、布置引线的保持区域。

多个行4 4 中的每一行都含有多个标准单元4 2 。每个标准单元4 2 都有一致的长度h 。

端块单元4 6 a 和4 6 b 与例1 中所描述的端块单元2 2 a 和2 2 b 有相同的功能和结构, 并具有与标准单元4 2 相同的长度h 。每个端块单元4 6 a 和4 6 b 都连接到同一行中的相邻标准单元4 2 上或者相邻行中的相邻标准单元4 2 上。

例如在图5 中, 含在顶部第二行4 4 中的端块单元4 6 b 通过引线5 0 连接到含在同一行4 4 中的标准单元4 8 b 上。引线5 0 在标准单元4 8 b 的上方延伸。含在顶部第三行4 4 中的端块单元4 6 a 通过一条沿着两个行4 4 之间延伸的通道引线5 4 连接到含在相邻行4 4 中的标准单元4 8 a 上。含在最底部行4 4 中的端块单元4 6 b 通过引线5 2 连接到含在同一行中的标准单元4 8 c 上。引线5 2 沿着标准单元4 8 c 的上方延伸。

各标准单元4 2 之间的引线路径避开端块单元4 6 a 和4 6 b 的连接器5 6 a 和5 6 b , 或者利用一个不同于含有连接器5 6 a 和5 6 b 的引线层的引线层。此外, 各标准单元4 2 之间的引线集中地与功能模块4 0 中的其他引线一起布设。

根据本发明的第二个例子, 端块单元4 6 a 、4 6 b , 标准单元4 2 , 以及它们的引线在微控制器芯片1 0 0 的功能模块4 0 中集中地布设。所以, 标准单元4 8 a 、4 8 b 和4 8 c 与端块单元4 6 a 和4 6 b 之间的距离可以尽可能地短和均匀, 并且用于引线的面积大小可以最小化。其结果是, 与微控制器芯片1 0 0 面积大小的增加和引线延迟的增加相关的影响可以最小化。

再有, 微控制器芯片1 0 0 能够公用地用评估芯片和批量生产芯片。结果, 开发步骤的数目可以减少。

还有，微控制器芯片100也适用于具有与评估芯片102b相等效的功能的仿真模块89。微控制器芯片100和仿真模块89的电学特性可以是极为相近的。

根据本发明的一种半导体集成电路含有多个端块单元，每个端块单元都含有一个用来传递多个基本单元中的一个单元与另一个半导体集成电路之间的通信。该半导体集成电路与另一个半导体集成电路被结合在一起，形成一个模块。这种结合使得该半导体集成电路能够通过简单地改变另一个半导体集成电路的一个部分（即连接层）而被各种类型的半导体集成电路所接纳。于是，开发一个模块所需的步骤数目减少了。

再有，通过规则地排列多个基本单元和多个端块单元，与该半导体集成电路面积大小增加和引线延迟增加相关的影响可以最小化。从而，用于评估的半导体集成电路同样也可以用作作为批量生产的半导体集成电路。于是，开发用于评估的半导体集成电路和批量生产的半导体集成电路所需的步骤数目可以减少。

对于采用上述半导体集成电路的系统，也可以得到类似的效果。

对于熟悉本技术领域的人们来说，在不偏离本发明的范畴和精神的情形下，各种其他的修改将是明显的和可以容易实现的。所以，不希望这里所附的权利要求的范畴被局限于这里所给出的说明，而希望这些权利要求被广义地理解。

说明书附图

图1

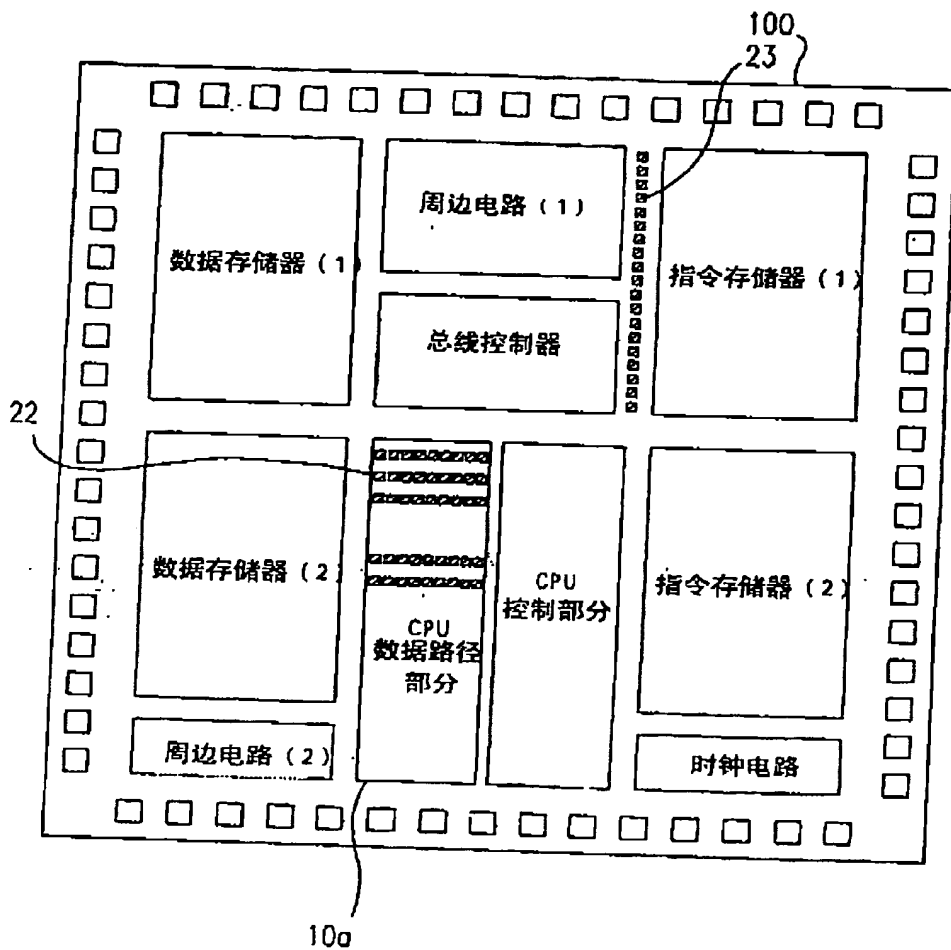


图 2

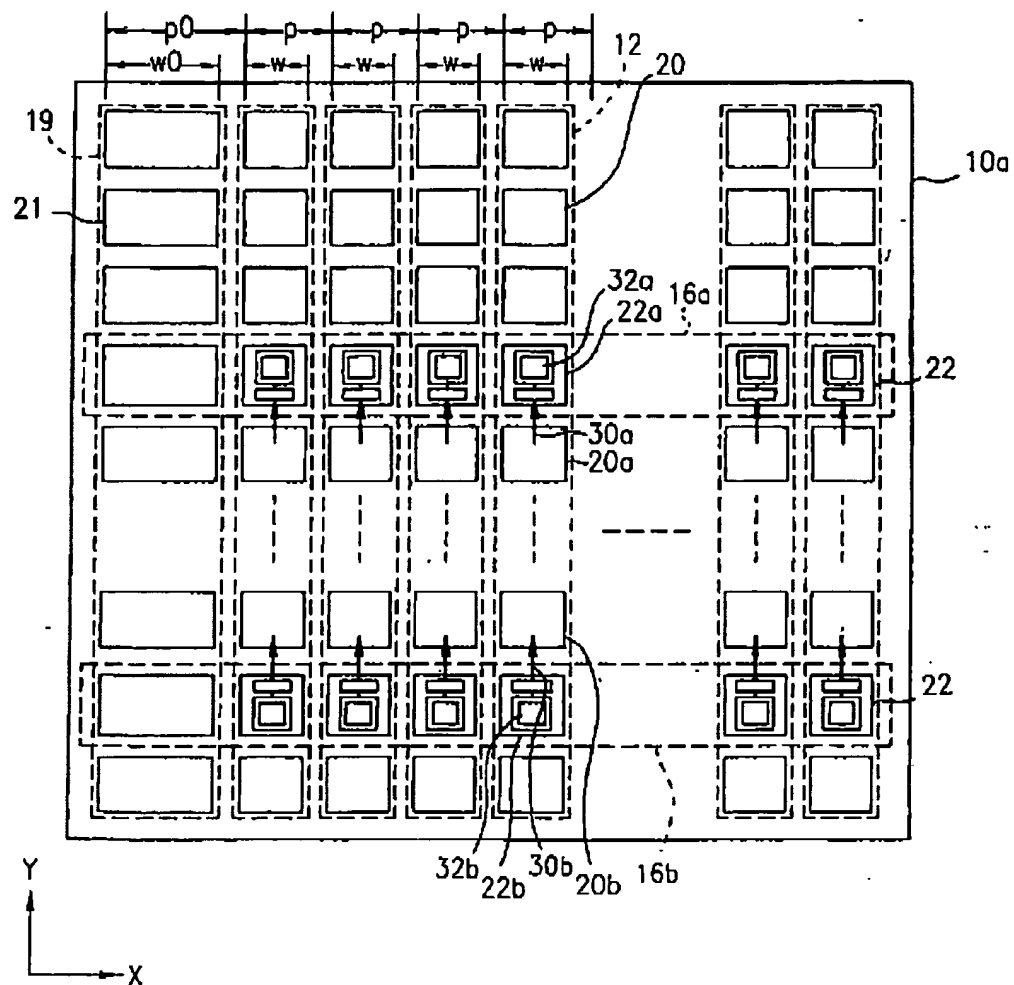


图 3

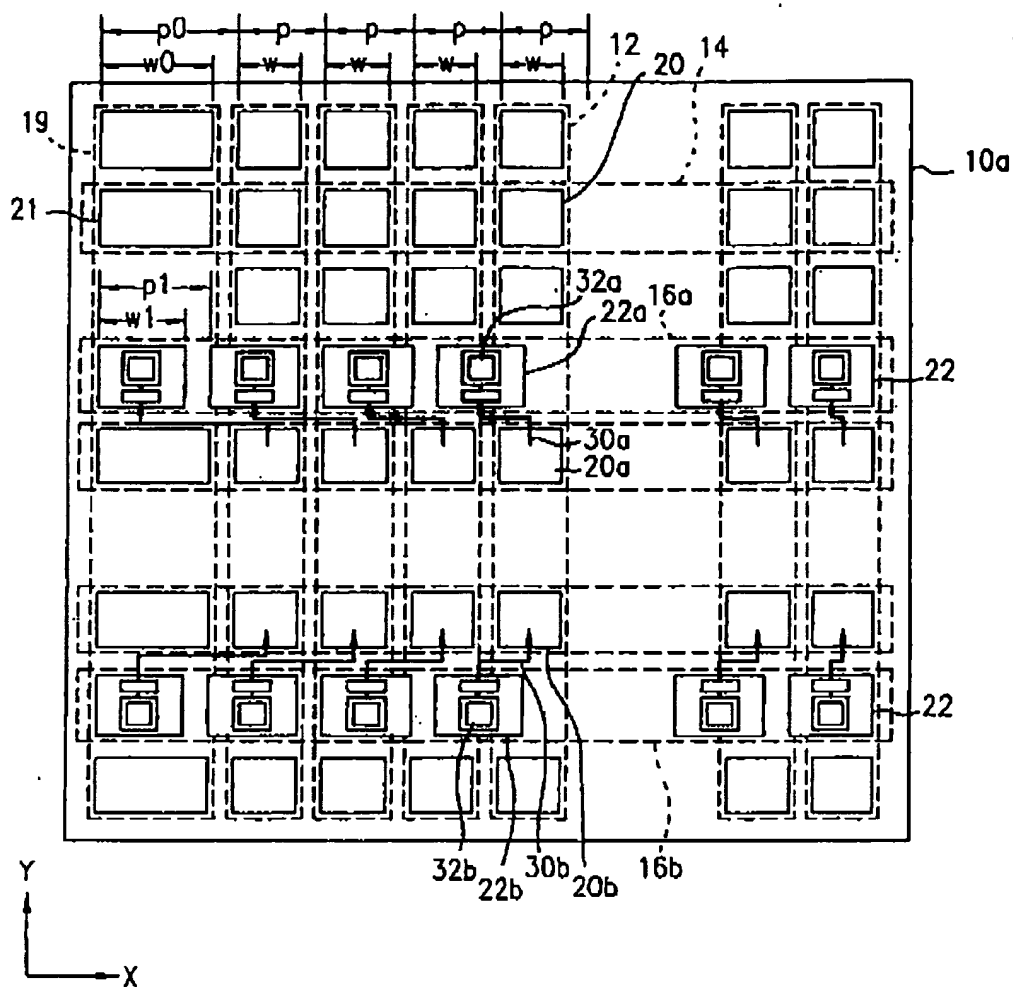


图 4

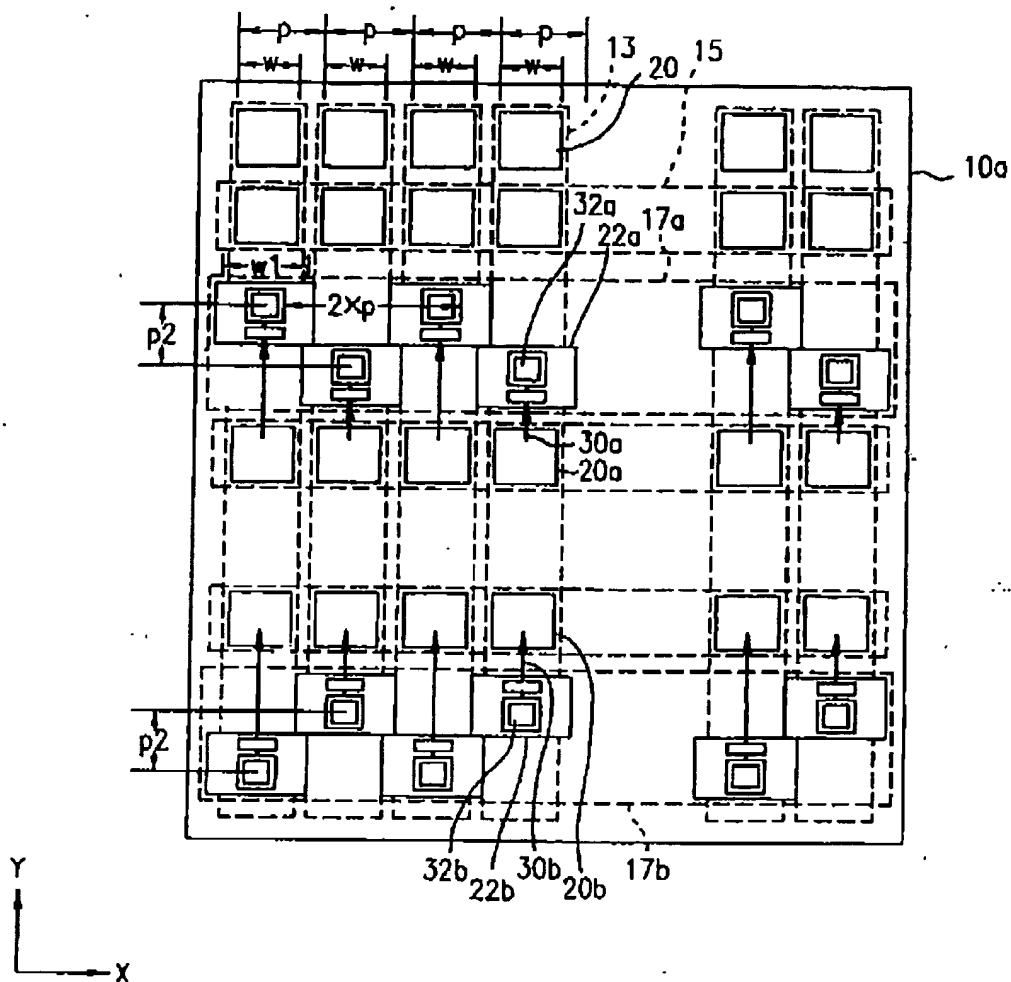


图5

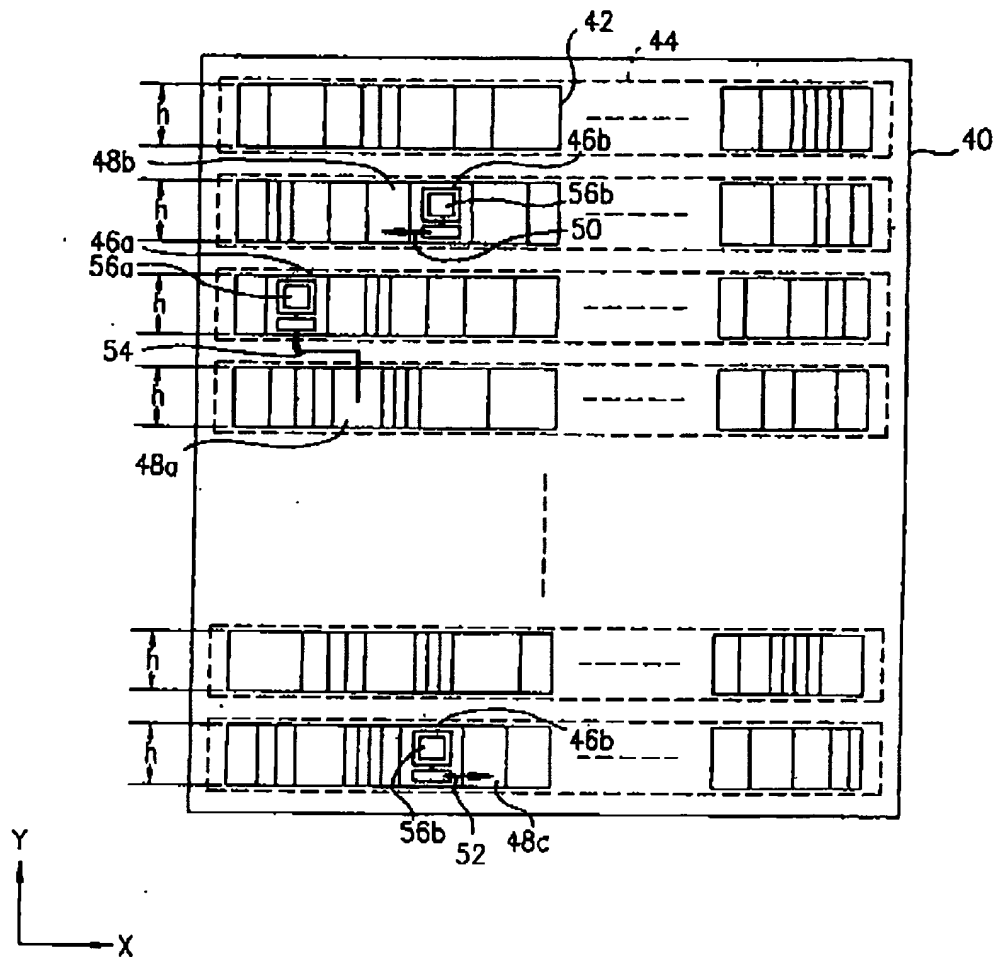


图6A

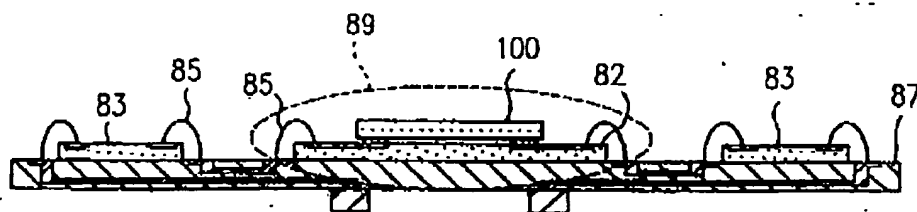


图6B

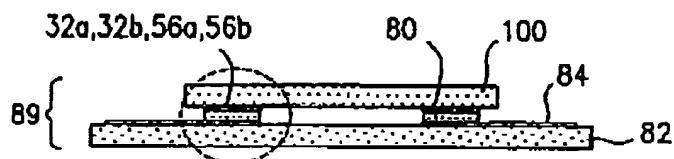


图6C

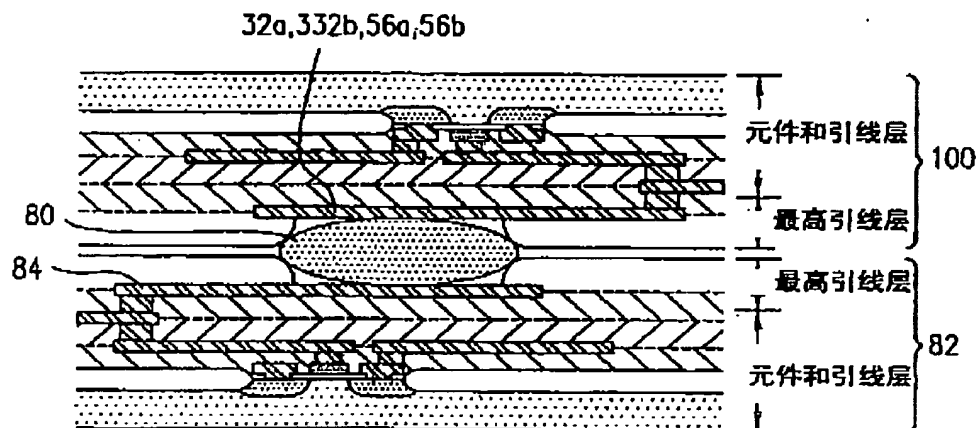
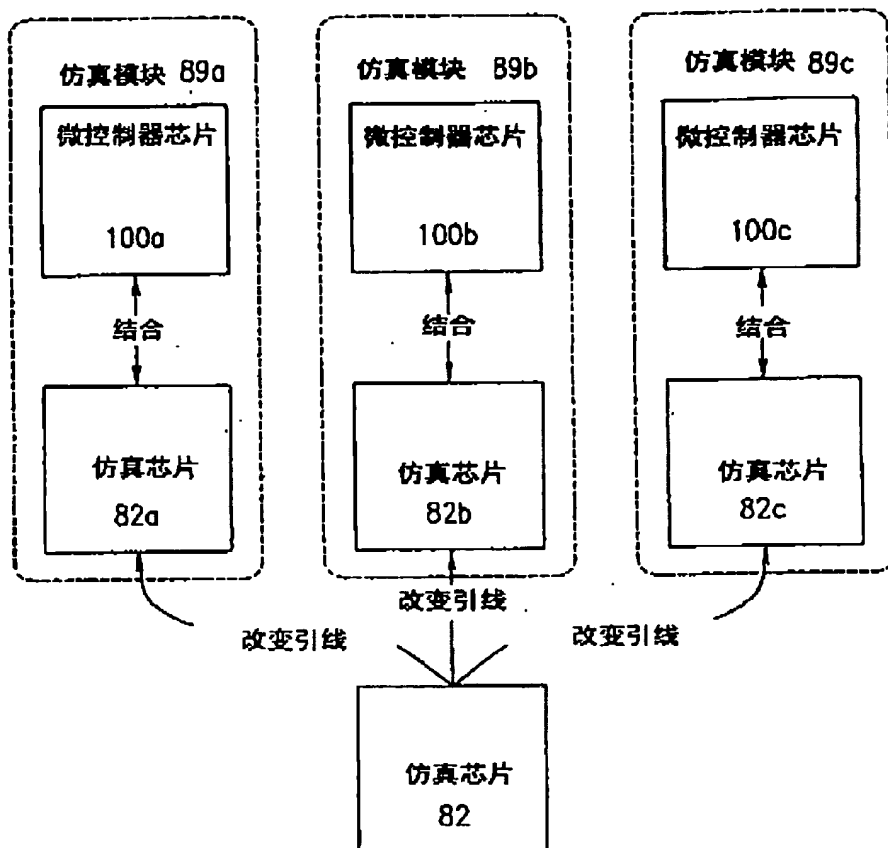


图7



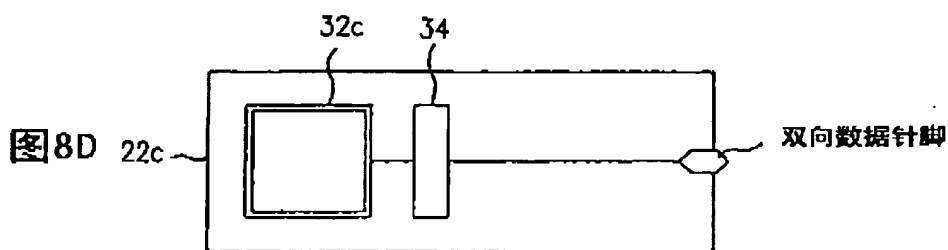
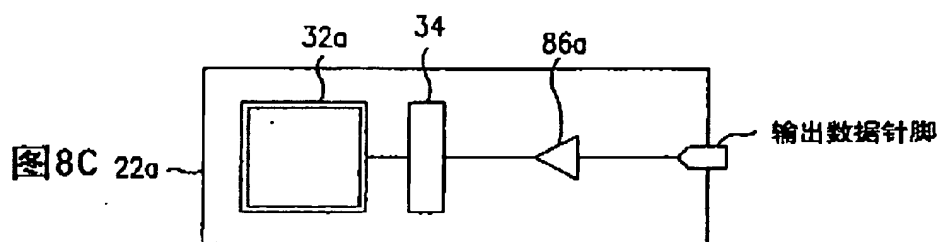
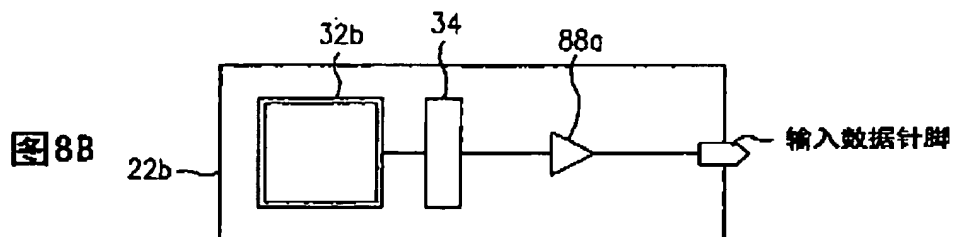
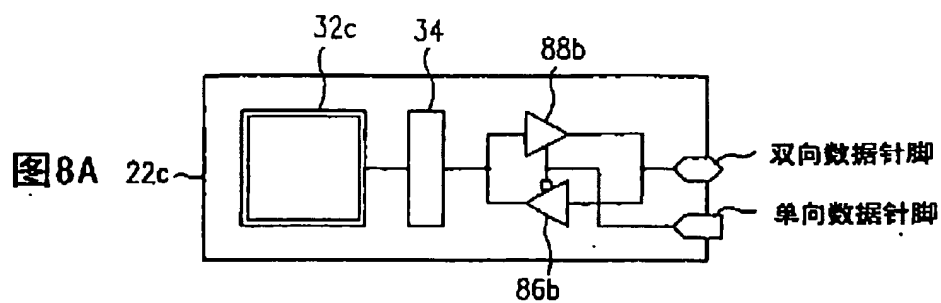


图 9

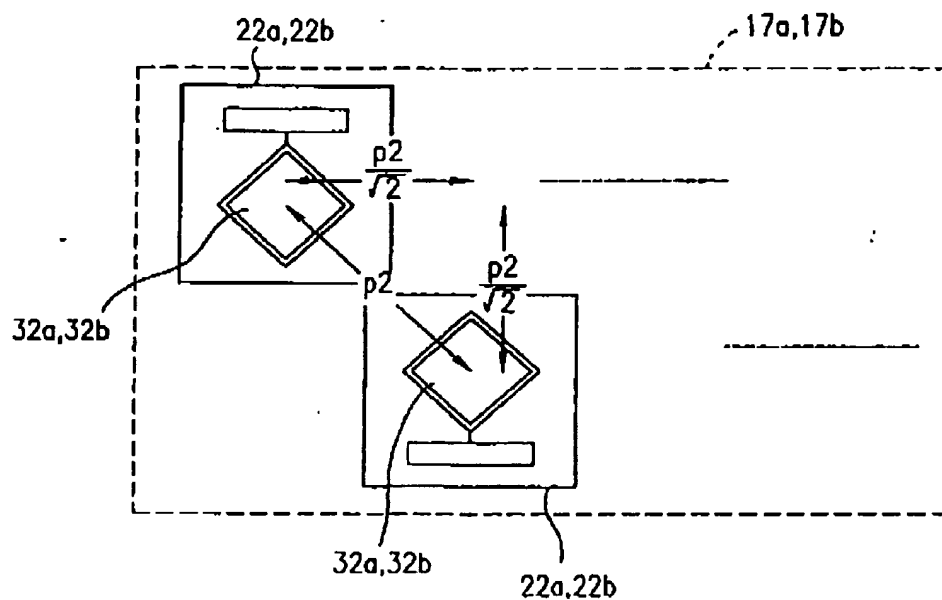


图 10A

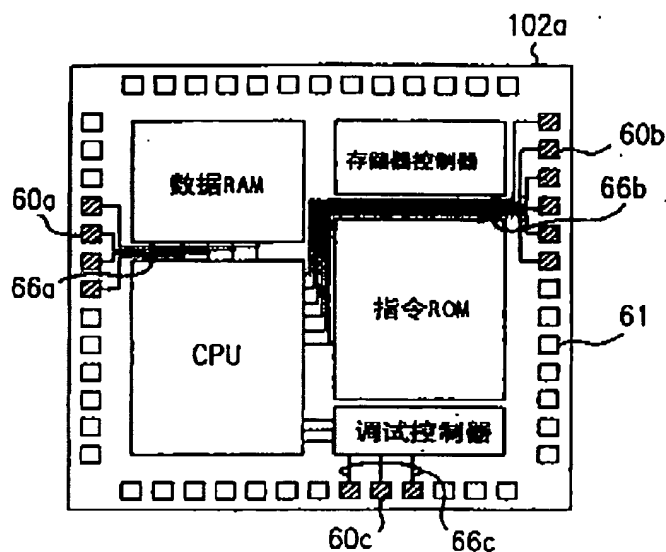
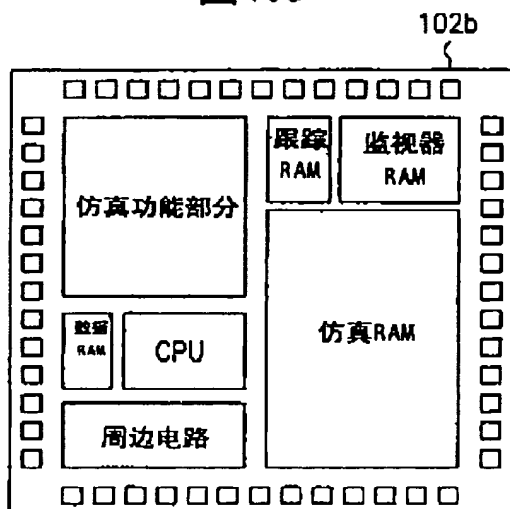


图 10B



This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.